



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0010758  
Application Number

출원 년 월 일 : 2003년 02월 20일  
Date of Application FEB 20, 2003

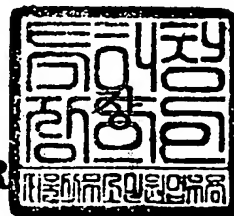
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      07      월      15      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.20
【국제특허분류】	H03L
【발명의 명칭】	고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치 및 그 복원방법
【발명의 영문명칭】	Data recovery apparatus and method of decreasing data recovery error in high speed serial link
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	곽명보
【성명의 영문표기】	KWAK, Myoung Bo
【주민등록번호】	730515-1768616
【우편번호】	405-280
【주소】	인천광역시 남동구 도림동 425번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 22 면 22,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 15 항 589,000 원

【합계】 640,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치 및 그 복원방법이 개시된다. 본 발명에 의한 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치는, 고속 직렬 링크를 통하여 수신되는 직렬 데이터를 병렬 데이터로 복원하는 장치에 있어서, 클럭 발생 회로 및 데이터 복원회로를 구비하는 것을 특징으로 한다. 클럭 발생 회로는 서로 다른 위상을 가지는 제1 그룹 클럭신호와 제2 그룹 클럭신호를 포함하는 적어도 두 개의 그룹 클럭신호들을 발생한다. 데이터 복원회로는 직렬 데이터의 아이 오픈 영역내에 존재하는 그룹 클럭신호들의 라이징 에지의 개수에 따라 두 개의 그룹 클럭신호들 중 어느 하나를 선택적으로 사용하여, 직렬 데이터를 병렬 데이터로 복원한다.

본 발명에 의한 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치 및 그 복원방법은 직렬 데이터의 아이 오픈 영역내에서 샘플링 클럭 신호의 에지가 복수개 존재하도록 샘플링 클럭 신호를 발생하여, 데이터 복원시 에러 발생을 감소시킬 수 있는 장점이 있다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치 및 그 복원방법{Data recovery apparatus and method of decreasing data recovery error in high speed serial link}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 직렬 데이터 통신을 위한 데이터 복원장치를 나타내는 도면이다.

도 2는 도 1에 도시된 데이터 복원장치의 데이터 복원 동작을 설명하기 위한 주요 신호들의 타이밍도이다.

도 3a 내지 도 3c는 정상적으로 데이터가 복원되는 경우와, 에러가 발생하는 경우를 비교 설명하기 위한 직렬 데이터의 아이 다이어그램을 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 고속 직렬 링크의 직렬 데이터 통신을 위한 데이터 복원장치를 나타내는 블록도이다.

도 5는 도 4에 도시된 클럭 발생 회로를 상세히 나타내는 블록도이다.

도 6은 도 5에 도시된 VCO와 서브 클럭 발생회로를 상세히 나타내는 블록도이다.

도 7은 도 6에 도시된 인터플레이터를 상세히 나타내는 회로도이다.

도 8은 도 4에 도시된 클럭 선택 회로를 상세히 나타내는 회로도이다.

도 9는 도 4에 도시된 오버 샘플러를 상세히 나타내는 도면이다.

도 10은 도 4에 도시된 CDR을 상세히 나타내는 도면이다.

도 11a 및 도 11b는 본 발명의 일실시예에 따른 데이터 복원장치에서 사용되는 샘플링 클럭들의 에지와 직렬 데이터를 나타내는 도면이다.

도 12는 도 4에 도시된 데이터 복원장치의 주요 입출력 신호들의 타이밍도이다.

도 13은 본 발명의 일실시예에 따른 고속 직렬 링크의 직렬 데이터 통신을 위한 데이터 복원장치의 데이터 복원 과정을 나타내는 흐름도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 고속 직렬 데이터 통신을 위한 데이터 복원장치에 관한 것으로서, 특히, 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치 및 그 복원 방법에 관한 것이다.
- <15> 최근, 통신 기술이 발달함에 따라 데이터의 전송 속도가 초당 수십에서 수백 기가비트에 이르게 되었다. 일반적으로, 이러한 초고속 통신에서는 병렬 인터페이스 장치 보다는 직렬 인터페이스 장치가 많이 사용된다. 그 이유는, 송수신되는 데이터의 각 비트들간의 크로스 토크(crosstalk), 노이즈 커플링(noise coupling) 등에 의해 병렬 인터페이스 장치의 최대 전송 거리 및 전송 속도가 제한되기 때문이다.
- <16> 직렬 인터페이스 장치는 병렬 형식의 데이터를 직렬 형식으로 변환하여 전송하고, 직렬 형식의 데이터를 수신하여 다시 병렬 형식으로 변환한다.
- <17> 이러한 직렬 인터페이스 장치는 클럭과 데이터를 동시에 각각 전송하는 병렬 인터페이스 장치와는 달리, 클럭 정보를 포함하는 데이터 신호만을 전송한다. 그 이유는, 초

고속 통신에서 데이터들의 단위 간격(unit interval)이 보통 1ns이하로 매우 짧고, 전송 거리가 길기 때문에, 클럭과 데이터를 동시에 전송하면 수신단에서 클럭과 데이터에 스루가 발생할 수 있기 때문이다. 따라서, 송신단에서는 클럭 정보를 포함하는 데이터로 변환하여 전송하고, 수신단에서는 수신된 데이터로부터 클럭과 데이터를 추출해야 한다. 여기에서, 클럭 정보를 포함하는 데이터 신호로부터 클럭과 데이터를 추출하는 기능을 수행하는 것이 데이터 복원 장치이다.

<18> 일반적으로, 데이터 복원 장치는 오버 샘플링(oversampling) 구조, 트래킹(tracking) 구조, 페이즈 인터폴레이션(phase interpolation) 구조 등으로 구현될 수 있다.

<19> 상기 오버 샘플링 구조에 의한 데이터의 복원 과정은 다음과 같다.

<20> 먼저, 수신단에서 복수의 샘플링 클럭을 발생하고, 수신되는 직렬 데이터를 상기 복수의 샘플링 클럭을 이용하여 일정 간격으로 래치한다. 상기 래치된 데이터로부터 트랜지션(transition) 구간을 검출하고, 상기 래치된 데이터 중에서 상기 트랜지션 구간으로부터 가장 멀리 떨어진 데이터를 유효 데이터로서 출력한다. 여기에서, 상기 샘플링 클럭의 개수는 하나의 데이터로부터 몇 개의 데이터를 래치할 것인가에 따라 다양하게 변경될 수 있다.

<21> 또, 상기 트래킹 구조에 의한 데이터의 복원 과정은 다음과 같다.

<22> 먼저, 수신단에서 데이터의 중앙에 위치가 고정되는 클럭과, 데이터의 에지를 추종하는 클럭을 포함하는 두 개의 샘플링 클럭을 발생한다.

- <23>      상기 두 개의 샘플링 클럭을 이용하여 수신되는 데이터를 일정 간격으로 래치하고, 상기 고정된 샘플링 클럭에 의해 래치된 데이터를 유효 데이터로서 검출한다.
- <24>      상기 페이즈 인터플레이션 구조에 의한 데이터의 복원 과정은 다음과 같다.
- <25>      먼저, 수신단에서 복수의 샘플링 클럭과, 상기 샘플링 클럭들 사이에서 데이터의 에지를 추종하는 추종 클럭을 발생한다.
- <26>      상기 복수의 샘플링 클럭과 상기 추종 클럭을 이용하여 수신되는 데이터를 일정 간격으로 래치하고, 상기 추종 클럭에 의해 검출된 트랜지션 구간에서 가장 먼 곳의 데이터를 유효 데이터로서 검출한다.
- <27>      이 중에서, 오버 샘플링 구조는 저속(low speed) 회로 기술을 적용하여 구현하는 것이 용이하기 때문에, 초고속 통신을 위한 회로 설계시 자주 사용되고 있다. 이러한 오버 샘플링 구조의 일예가 미국 특허공보 제5,587,709호에 기재되어 있다.
- <28>      그러나, 종래의 오버 샘플링 구조에서는 오버 샘플링에 사용되는 클럭의 배수에 따라서 수신단의 중요한 특성중의 하나인 지터 허용 편차(jitter tolerance) 특성을 만족하기 어려운 단점이 있다. 그 결과, 데이터 복원시 에러가 발생할 가능성이 있다.
- <29>      일반적인 오버 샘플링 구조에 대하여 도 1 내지 도 3b를 참고하여 설명하면 다음과 같다.
- <30>      도 1은 종래 기술에 따른 직렬 데이터 통신을 위한 데이터 복원장치를 나타내는 도면이다. 도 1에서, 데이터 복원장치(10)는 PLL(11), 오버 샘플러(12) 및 CDR(Clock and Data Recovery)(13)을 포함한다. 상기 PLL(11)은 수신되는 직렬 데이터(SI\_DATA)를 소정 간격으로 래치하기 위한 복수의 클럭 신호들(CLKA, CLKB, CLKC)을 발생한다. 상기 오버



샘플러(12)는 상기 클럭 신호들(CLKA, CLKB, CLKC)을 이용하여 상기 직렬 데이터(SI\_DATA)를 소정 간격으로 래치하여, 샘플링 데이터들(SD1~SD3)을 출력한다. 상기 CDR(13)은 상기 샘플링 데이터들(SD1~SD3)로부터 트랜지션 구간을 검출하고, 그 트랜지션 구간에서 가장 멀리 떨어진 위치의 샘플링 데이터를 유효 데이터로서 출력한다.

<31>     상기 데이터 복원장치(10)의 동작 과정을 도 2를 참고하여 좀 더 상세히 설명하면 다음과 같다.

<32>     도 2는 도 1에 도시된 데이터 복원장치의 데이터 복원 동작을 설명하기 위한 주요 신호들의 타이밍도이다. 도 2에서는 초당 수 기가 비트 대역의 차동 직렬 데이터(differential serial data)로부터 클럭 및 데이터를 복원하기 위해 3배 오버 샘플링 구조가 적용된 경우를 나타낸다. 도 2와 같이, 직렬 데이터(SI\_DATA)가 수신될 때, 1비트의 직렬 데이터들(D1~D3)에 대해 클럭 신호들(CLKA~CLKC)을 이용하여 3비트의 데이터를 래치한다.

<33>     상기 직렬 데이터(D0)가 "1"이고, 상기 직렬 데이터들(D1, D2)이 "0"이고, 상기 직렬 데이터(D3)가 "1"인 것으로 가정하면, 도 2와 같이, 하나의 직렬 데이터 당 각각 3개의 샘플링 데이터들이 얻어진다. 즉, 상기 데이터(D0)에 대한 샘플링 데이터는 "1, 1, 1"이고, 상기 데이터(D1)에 대한 샘플링 데이터는 "0, 0, 0"이고, 상기 데이터(D2)에 대한 샘플링 데이터는 "0, 0, 0"이다. 상기 샘플링 데이터들로부터 "1"에서 "0" 또는 "0"에서 "1"로 바뀌는 트랜지션 구간들(P1~P3)이 검출된다.

- <34> 이 후, 상기 트랜지션 구간들(P1~P3)로부터 가장 멀리 떨어진 1비트의 샘플링 데이터가 가장 유효한 데이터일 가능성이 크기 때문에, 이 데이터를 유효 데이터로서 출력하여 데이터를 복원한다.
- <35> 그러나, 이러한 오버 샘플링 구조는 샘플링 클럭내에서 직렬 데이터의 트랜지션 분포에 따라서 데이터 복원시 에러가 발생할 가능성이 있다.
- <36> 오버 샘플링 구조에 의한 데이터 복원시 데이터 복원이 정상적으로 이루어지는 경우와 에러가 발생하는 경우를 도 3a 내지 도 3c를 참고하여 비교 설명하면 다음과 같다.
- <37> 도 3a 내지 도 3c는 정상적으로 데이터가 복원되는 경우와, 에러가 발생하는 경우를 비교 설명하기 위한 직렬 데이터의 아이 다이어그램을 나타내는 도면이다.
- <38> 도 3a 내지 도 3c에서 굵은 실선의 마름모꼴로 표시된 부분은 직렬 데이터의 아이 오픈(eye open) 영역을 나타낸다. 유효 데이터로서 검출되는 샘플링 데이터가 상기 아이 오픈 영역내에 존재할 때 에러 발생 비율이 낮다.
- <39> 오버 샘플링 구조에 의한 데이터 복원에서는 트랜지션 구간(TP)으로부터 가장 멀리 떨어진 샘플링 데이터가 유효 데이터로서 검출되므로, 에러 발생 비율을 줄이기 위해서는 상기 트랜지션 구간(TP)에서 가장 멀리 있는 샘플링 클럭의 에지가 상기 아이 오픈 영역내에 존재해야 한다.
- <40> 도 3a를 참고하면, 상기 트랜지션 구간(TP)으로부터 가장 멀리 떨어진 클럭(CLKB)의 에지가 아이 오픈 영역내에 존재하므로 에러 없이 유효한 데이터를 검출할 수 있다. 도 3b와 도 3c를 참고하면, 상기 트랜지션 구간(TP)으로부터 가장 멀리 떨어진 클럭

(CLKC, CLKA)의 에지가 아이 오픈 영역내에 존재하지 않기 때문에 에러가 발생할 가능성이 있다.

<41>       상기와 같이, 종래 기술에 따른 데이터 복원장치는 샘플링 클럭내에서 직렬 데이터의 트랜지션 분포에 따라서 데이터 복원시 에러가 발생하는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<42>       본 발명이 이루고자하는 기술적 과제는, 직렬 데이터의 아이 오픈 영역내에 샘플링 클럭 신호의 에지가 복수개 존재하도록 샘플링 클럭 신호를 발생하여 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치 및 그 복원방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<43>       상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치는, 고속 직렬 링크를 통하여 수신되는 직렬 데이터를 병렬 데이터로 복원하는 장치에 있어서, 클럭 발생 회로 및 데이터 복원회로를 구비하는 것을 특징으로 한다. 클럭 발생 회로는 서로 다른 위상을 가지는 제1 그룹 클럭신호와 제2 그룹 클럭신호를 포함하는 적어도 두 개의 그룹 클럭신호들을 발생한다. 데이터 복원회로는 직렬 데이터의 아이 오픈 영역내에 존재하는 그룹 클럭신호들의 라이징 에지의 개수에 따라 두 개의 그룹 클럭신호들 중 어느 하나를 선택적으로 사용하여, 직렬 데이터를 병렬 데이터로 복원한다.

<44>       상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치의 복원 방법은, 서로 다른 위상을 가지는 제1 그룹 클럭신호와 제2 그룹 클럭신호를 포함하는 적어도 두 개의 그룹

클럭신호들을 발생하는 클럭 발생 회로와, 상기 직렬 데이터의 아이 오픈 영역내에 존재하는 상기 그룹 클럭신호들의 라이징 에지의 개수에 따라 상기 두 개의 그룹 클럭신호들 중 어느 하나를 선택적으로 사용하여, 상기 직렬 데이터를 상기 병렬 데이터로 복원하는 데이터 복원회로를 구비하고, 상기 적어도 두 개의 그룹 클럭신호들이 각각의 라이징 에지들간의 간격들로 형성되는 복수의 클럭 구간들을 가지는 복수의 샘플링 클럭신호들을 포함하는 데이터 복원 장치의 복원 방법에 있어서,

- <45>        (a) 상기 직렬 데이터로부터 복수의 샘플링 데이터들을 추출하는 단계;
- <46>        (b) 상기 복수의 샘플링 데이터들로부터 상기 복수의 클럭 구간들별 트랜지션 발생 횟수를 카운팅하고, 그 카운팅 값을 누적시키는 단계;
- <47>        (c) 누적된 상기 카운팅 값을 비교하고, 누적된 상기 카운팅 값이 가장 큰 클럭 구간(이하, 트랜지션 구간이라 함)을 나타내는 카운팅 신호를 출력하는 단계;
- <48>        (d) 상기 복수의 샘플링 데이터들 중에서, 상기 트랜지션 구간으로부터 가장 멀리 떨어진 상기 샘플링 클럭신호에 의해 래치되는 상기 샘플링 데이터를 유효 데이터로서 출력하는 단계;
- <49>        (e) 상기 카운팅 신호를 감시하여 상기 복수의 클럭 구간들 모두가 상기 트랜지션 구간으로 될 때, 상기 그룹 클럭신호를 변경하는 단계; 및
- <50>        (f) 상기 (a) 단계 내지 상기 (e) 단계를 반복 수행하는 단계를 포함하는 것을 특징으로 한다.

- <51> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <52> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <53> 도 4는 본 발명의 일실시예에 따른 고속 직렬 링크의 직렬 데이터 통신을 위한 데이터 복원장치를 나타내는 블록도이다.
- <54> 도 4와 같이, 본 발명의 일실시예에 따른 데이터 복원장치(100)는 클럭 발생회로(200)와, 클럭 선택 회로(300)와, 오버 샘플러(400) 및 CDR(500)을 포함한다. 상기 클럭 발생 회로(200)는 제1 내지 제3 샘플링 클럭 신호들(CKOD1, CKOD2, CKOD3)을 포함하는 제1 그룹 클럭 신호(CLKODD)와, 제4 내지 제6 샘플링 클럭 신호들(CKEV1, CKEV2, CKEV3)을 포함하는 제2 그룹 클럭 신호(CLKEVEN)를 발생한다.
- <55> 도 4에서 상기 클럭 발생 회로(200)가 3개의 샘플링 클럭들을 각각 포함하는 상기 제1 및 상기 제2 그룹 클럭 신호(CLKODD, CLKEVEN)를 발생하는 것으로 도시되었지만, 상기 제1 및 상기 제2 그룹 클럭 신호(CLKODD, CLKEVEN)에 포함되는 샘플링 클럭의 수는 래치할 데이터의 개수에 따라 다양하게 변경될 수 있다.
- <56> 상기 클럭 선택 회로(300)는 소정의 클럭 선택 신호(SEL1)에 응답하여, 상기 제1 그룹 클럭 신호(CLKODD)와, 상기 제2 그룹 클럭 신호(CLKEVEN) 중 어느 하나를 출력한다

- <57>      상기 오버 샘플러(400)는 상기 클럭 선택 회로(300)에서 출력되는 상기 제1 또는 상기 제2 그룹 클럭 신호들(CLKODD 또는 CLKEVEN)을 이용하여 수신되는 고속 직렬 데이터(SI\_DATA)를 소정 간격으로 래치하고, 제1 내지 제3 샘플링 데이터들(SDATA1~SDATA3)을 출력한다.
- <58>      상기 CDR(500)은 상기 제1 내지 상기 제3 샘플링 데이터들(SDATA1~SDATA3)로부터 트랜지션 구간을 검출하고, 그 트랜지션 구간으로부터 가장 멀리 떨어진 샘플링 데이터를 유효 데이터로서 출력하고, 복수의 유효 데이터들을 병렬 데이터(PA\_DATA)로서 출력한다.
- <59>      도 5는 도 4에 도시된 클럭 발생 회로를 상세히 나타내는 블록도이다.
- <60>      도 5와 같이, 클럭 발생 회로(200)는 PLL(210)과 서브 클럭 발생 회로(220)를 구비한다. 상기 PLL(210)은 PFD(phase frequency detector)(211), 차지 펌프 및 루프 필터(loop filter)(212), VCO(213), 분주기(214) 및 위상 락 검출기(215)를 포함한다.
- <61>      상기 PFD(211)는 기준 클럭 신호(CLKREF)와 분주 클럭 신호(CLKDIV)의 위상 및 주파수를 비교하여 업 신호(UP) 또는 다운 신호(DN)를 발생한다.
- <62>      상기 차지 펌프 및 루프 필터(212)는 상기 업 신호(UP) 또는 상기 다운 신호(DN)에 따라 충전 또는 방전 동작하고, 소정의 제어 전압(VCTL)을 출력한다. 상기 VCO(213)는 상기 제어 전압(VCTL)에 응답하여, 소정의 주파수를 갖는 제1 내지 제3 샘플링 클럭 신호들(CKOD1, CKOD2, CKOD3)을 포함하는 제1 그룹 클럭 신호(CLKODD)를 출력한다. 상기 분주기(214)는 상기 제3 샘플링 클럭 신호(CKOD3)를 소정의 분주율로 분주하여 상기 분주 클럭 신호(CLKDIV)를 출력한다. 여기에서, 상기 분주기(214)가 상기 제3 샘플링 클럭

신호(CKOD3)를 분주하는 것으로 도시되었으나, 상기 제1 또는 상기 제2 샘플링 클럭 신호(CKOD1 또는 CKOD2)를 분주할 수도 있다.

<63>       상기 위상 락 검출기(215)는 상기 업 신호(UP) 또는 상기 다운 신호(DN)의 출력 여부를 감시하여 위상 락/언락 상태를 검출하고 그 검출신호(DET)를 제어부(미도시)에 출력한다.

<64>       상기 서브 클럭 발생 회로(220)는 상기 제1 그룹 클럭 신호(CLKODD)를 수신하고 제4 내지 제6 샘플링 클럭 신호들(CKEV1, CKEV2, CKEV3)을 포함하는 제2 그룹 클럭 신호(CLKEVEN)를 발생한다.

<65>       도 6은 도 5에 도시된 VCO와 서브 클럭 발생회로를 상세히 나타내는 블록도이다.

<66>       도 6에서, 상기 VCO(213)는 V/I 컨버터(21), 복수의 딜레이 버퍼들(22~24) 및 복수의 출력 드라이버들(25~27)을 포함한다. 상기 V/I 컨버터(21)는 제어 전압(VCTL)을 V/I 변환하여 제어 전류(ICTL)를 출력한다. 상기 복수의 딜레이 버퍼들(22~24)은 상기 제어 전류(ICTL)에 의해 제어되어 소정의 주파수를 가지는 복수의 내부 클럭 신호들(CKOD1-CKOD1B~CKOD3-CKOD3B)을 각각 출력한다. 상기 복수의 딜레이 버퍼들(22~24)은 전단의 출력 신호가 후단에 입력되도록 연속적으로 연결된다.

<67>       상기 복수의 출력 드라이버들(25~27)은 상기 내부 클럭 신호들(CKOD1-CKOD1B~CKOD3-CKOD3B)을 수신하여 제1 내지 제3 샘플링 클럭 신호들(CKOD1~CKOD3)을 포함하는 제1 그룹 클럭 신호(CLKODD)를 출력한다.

<68>       상기 서브 클럭 발생 회로(220)는 복수의 인터폴레이터(interpolator)들(221~223)로 구현될 수 있다. 상기 인터폴레이터(221)는 상기 내부 클럭 신호들(CKOD1-CKOD1B~

CKOD2-CKOD2B)을 수신하고, 상기 인터플레이터(222)는 상기 내부 클럭 신호들(CKOD2-CKOD2B~CKOD3-CKOD3B)을 수신하고, 상기 인터플레이터(223)는 상기 내부 클럭 신호들(CKOD3-CKOD3B~CKOD1-CKOD1B)을 수신한다. 상기 복수의 인터플레이터들(221~223)은 제4 내지 제6 샘플링 클럭 신호들(CKEV1~CKEV3)을 포함하는 제2 그룹 클럭 신호(CLKEVEN)를 출력한다.

<69> 도 7은 도 6에 도시된 인터플레이터를 상세히 나타내는 회로도이다.

<70> 도 7과 같이, 인터플레이터(221)는 복수의 PMOS 트랜지스터들(31~34)과 복수의 NMOS 트랜지스터들(35~40)을 포함한다. 상기 PMOS 트랜지스터들(31, 34)의 게이트에는 소정의 제어전압(VC)이 입력된다. 상기 PMOS 트랜지스터(33)의 게이트는 제1 노드(NODE1)에 연결되고, 상기 PMOS 트랜지스터(32)의 게이트는 제2 노드(NODE2)에 연결된다. 상기 PMOS 트랜지스터들(31, 32)의 소스는 내부전압(VDD)에 연결되고, 드레인은 상기 제2 노드(NODE2)에 연결된다. 또, 상기 PMOS 트랜지스터들(33, 34)의 소스는 상기 내부전압(VDD)에 연결되고, 드레인은 상기 제1 노드(NODE1)에 연결된다.

<71> 상기 NMOS 트랜지스터들(35, 37)의 게이트에는 각각 상기 내부 클럭 신호들(CKOD1B, CKOD2B)이 입력되고, 드레인은 상기 제1 노드(NODE1)에 연결된다.

<72> 상기 NMOS 트랜지스터들(36, 38)의 게이트에는 각각 상기 내부 클럭 신호들(CKOD1, CKOD2)이 입력되고, 드레인은 상기 제2 노드(NODE2)에 연결된다.

<73> 상기 NMOS 트랜지스터들(35, 36)의 소스는 상기 NMOS 트랜지스터(39)의 드레인에 연결되고, 상기 NMOS 트랜지스터들(37, 38)의 소스는 상기 NMOS 트랜지스터(40)의 드레인에 연결된다.



- <74>      상기 NMOS 트랜지스터들(39, 40)의 게이트에는 소정의 바이어스 전압(VB)이 입력되고, 소스에는 그라운드 전압이 입력된다. 상기 인터플레이터(221)는 상기 제1 노드(NODE1)와 상기 제2 노드(NODE2)로 제2 그룹 클럭 신호(CLKEVEN)의 제4 샘플링 클럭 신호(CKEV1, CKEV1B)를 출력한다. 상기와 같이 구성된 인터플레이터(221)의 동작에 대해서는 본 발명의 기술분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 구체적인 동작 설명은 생략된다. 또, 상기 인터플레이터들(222, 223)의 구성 역시 상기 인터플레이터(221)와 동일하므로 이에 대한 구체적인 구성 및 동작 설명은 생략된다.
- <75>      여기에서, 상기 NMOS 트랜지스터들(39, 40)의 전류 구동 능력에 따라 상기 제1 및 상기 제2 샘플링 클럭 신호들(CKOD1, CKOD2)의 에지 사이에서 상기 제4 샘플링 클럭 신호(CKEV1)의 에지 위치가 결정될 수 있다.
- <76>      예를 들어, 상기 NMOS 트랜지스터(39)의 전류 구동 능력이 더 큰 경우, 상기 제4 샘플링 클럭(CKEV1)의 에지는 상기 제1 샘플링 클럭(CKOD1)의 에지쪽으로 치우치게 된다. 반대로, 상기 NMOS 트랜지스터(40)의 전류 구동 능력이 더 큰 경우, 상기 제4 샘플링 클럭(CKEV1)의 에지는 상기 제2 샘플링 클럭(CKOD2)의 에지쪽으로 치우치게 된다.
- <77>      본 발명에서는 상기 제4 샘플링 클럭(CKEV1)의 에지가 상기 제1 및 상기 제2 샘플링 클럭들(CKOD1, CKOD2)의 에지 사이의 1/2 지점에 위치하는 것이 바람직하다.
- <78>      도 8은 도 4에 도시된 클럭 선택 회로를 상세히 나타내는 회로도이다.
- <79>      도 8과 같이, 상기 클럭 선택 회로(300)는 복수의 믹스들(301~303)로 구현될 수 있다. 상기 복수의 믹스들(301~303)은 제1 내지 제3 샘플링 클럭 신호들(CKOD1~CKOD3)과 제4 내지 제6 샘플링 클럭 신호들(CKEV1~CKEV3)을 수신한다.

- <80>      상기 복수의 믹스들(301~303)은 소정의 선택 제어신호(SEL1)에 응답하여 상기 제1 내지 상기 제3 샘플링 클럭 신호들(CKOD1~CKOD3) 또는 상기 제4 내지 상기 제6 샘플링 클럭 신호들(CKEV1~CKEV3)중 하나를 출력한다.
- <81>      도 9는 도 4에 도시된 오버 샘플러를 상세히 나타내는 도면이다.
- <82>      도 9와 같이, 상기 오버 샘플러(400)는 복수의 래치 회로들(401~403)로 구현될 수 있다. 도 9에서, 상기 오버 샘플러(400)는 3개의 래치 회로로 구현되었지만, 래치할 데이터의 수에 따라 래치 회로의 개수는 다양하게 변경될 수 있다.
- <83>      상기 복수의 래치 회로들(401~403)은 제1 내지 제3 샘플링 클럭 신호들(CKOD1~CKOD3) 또는 제4 내지 제6 샘플링 클럭 신호들(CKEV1~CKEV3)에 응답하여, 수신되는 직렬 데이터(SI\_DATA)를 래치하고, 제1 내지 제3 샘플링 데이터들(SDATA1~SDATA3)을 출력한다.
- <84>      도 10은 도 4에 도시된 CDR을 상세히 나타내는 도면이다.
- <85>      도 10과 같이, 상기 CDR(500)은 트랜지션 검출부(510)와, 가산기(520)와, 데이터 선택부(530)와, 데이터 출력부(540) 및 클럭 선택부(550)를 포함한다.
- <86>      상기 트랜지션 검출부(510)는 제1 내지 제3 XOR 게이트들(511~513)로 구현될 수 있다. 상기 제1 XOR 게이트(511)는 이전에 수신된 제3 샘플링 데이터(SDATA3(N-1))와 현재 수신되는 제1 샘플링 데이터(SDATA1(N))(N은 1이상의 자연수)를 논리 연산하여 제1 내부 신호(OPD1)를 출력한다. 상기 제2 XOR 게이트(512)는 상기 제1 샘플링 데이터(SDATA1(N))와 제2 샘플링 데이터(SDATA2(N))를 논리 연산하여 제2 내부 신호(OPD2)를

출력한다. 상기 제3 XOR 게이트(513)는 상기 제2 샘플링 데이터(SDATA2(N))와 제3 샘플링 데이터(SDATA3(N))를 논리 연산하여 제3 내부 신호(OPD3)를 출력한다.

<87>       여기에서, 상기 제1 내지 상기 제3 내부 신호(OPD1~OPD3)는 각각의 샘플링 클럭 신호들 사이에서 트랜지션이 발생되는지의 여부를 판단하기 위한 신호들이다.

<88>       상기 샘플링 클럭 신호들 사이에서 트랜지션이 발생하는 경우를 예를 들어 좀 더 상세히 설명하면 다음과 같다.

<89>       먼저, 도 10에서, 상기 제1 내지 상기 제3 샘플링 데이터(SDATA1(N)~SDATA3(N))를 래치하기 위해 초기에 설정된 샘플링 클럭 신호가 제1 그룹 클럭 신호(CLKODD)의 제1 내지 제3 샘플링 클럭 신호(CKOD1~CKOD3)인 것으로 가정하자. 또, 설명의 편의상 상기 제1 샘플링 클럭 신호(CKOD1)의 라이징 에지와 상기 제2 샘플링 클럭 신호(CKOD2)의 라이징 에지의 사이의 간격을 제1 클럭 구간이라 한다. 상기 제2 샘플링 클럭 신호(CKOD2)의 라이징 에지와 상기 제3 샘플링 클럭 신호(CKOD3)의 라이징 에지 사이의 간격을 제2 클럭 구간이라 하고, 상기 제3 샘플링 클럭 신호(CKOD3)의 라이징 에지와 상기 제1 샘플링 클럭 신호(CKOD1)의 라이징 에지 사이의 간격을 제3 클럭 구간이라 한다.

<90>       예를 들어, 상기 제1 내부 신호(OPD1)가 "1"인 경우, 상기 제1 클럭 구간에서 샘플링 데이터 값이 트랜지션된 것임을 알 수 있다. 마찬가지로, 상기 제2 내부 신호(OPD2)와 상기 제3 내부 신호(OPD3)로부터 각각 상기 제2 및 상기 제3 클럭 구간에서 각각 샘플링 데이터 값이 트랜지션 되었는지의 여부가 판단된다.

- <91>        상기 가산기(520)는 상기 제1 내지 상기 제3 내부 신호(OPD1~OPD3)를 수신하고, 상기 제1 내지 상기 제3 클럭 구간에서의 트랜지션 발생 횟수를 카운팅하고 소정 시간 동안 그 카운팅 값을 누적시킨다.
- <92>        상기 가산기(520)는 누적된 상기 카운팅 값을 비교하여, 트랜지션이 가장 많이 발생된 클럭 구간, 즉, 트랜지션 구간을 검출하고, 그 결과로서 카운팅 신호(CNT1~CNT3)를 출력한다. 상기 데이터 선택부(530)는 상기 카운팅 신호(CNT1~CNT3)에 응답하여, 소정의 데이터 선택신호(SEL2)를 출력한다. 이를 좀 더 상세히 설명하면, 상기 가산기(520)는 상기 제1 클럭 구간에서 트랜지션이 가장 많이 발생될 때, 상기 카운팅 신호(CNT1~CNT3)를 "100"으로 출력한다. 상기 데이터 선택신호(SEL2)는 트랜지션이 가장 많이 발생된 구간에서 가장 멀리 떨어진 데이터를 선택하기 위한 신호이다. 여기에서, 상기 카운팅 신호(CNT1~CNT3)가 "100"이므로, 상기 데이터 선택신호(SEL2)는 상기 데이터 출력부(540)가 상기 제3 샘플링 클럭 신호(CKOD3)에 의해 래치되는 상기 제3 샘플링 데이터(SDATA3(N))를 유효 데이터로서 출력하도록 제어한다.
- <93>        상기 클럭 선택부(550)는 상기 카운팅 신호(CNT1~CNT3)를 감시하여 상기 제1 내지 상기 제3 클럭 구간이 모두 트랜지션 구간으로 될 때, 상기 샘플링 클럭신호들을 제2 그룹 클럭 신호(CLKEVEN)로 변경하도록 제어하는 클럭 선택 신호(SEL1)를 출력한다.
- <94>        상기 클럭 선택부(550)는 상기 카운팅 신호(CNT1~CNT3)를 소정 시간 동안 OR 연산하여, 상기 제1 내지 제3 클럭 구간들에서 모두 트랜지션이 발생되는지의 여부를 판단할 수 있다. 이를 좀 더 상세히 설명하면, 상기 카운팅 신호(CNT1~CNT3)가 연속적으로, "100", "010", "100"과 같이 입력되는 것으로 가정할 때, 이 값들을 모두 OR 연산하면 "110"이 된다. 상기 연산 결과 "100"으로부터 상기 제1 클럭 구간과 상기 제2 클럭 구간에

서 상기 트랜지션이 발생하는 것을 알 수 있다. 이 후, "001"의 상기 카운팅 신호(CNT1~CNT3)가 입력되면, "110"과 "001"의 OR 연산 결과는 "111"이 된다. 상기 클럭 선택부(550)는 상기 연산 결과가 "111"로 될 때, 상기 제1 내지 제3 클럭 구간 모두 트랜지션이 발생하는 것으로 판단한다. 즉, 상기 클럭 구간들이 모두 트랜지션 구간으로 된 것으로 판단한다.

<95>       여기에서, 상기 클럭 구간에서 모두 트랜지션이 발생할 때는, 도 11a에 도시된 것과 같이, 직렬 데이터의 아이 오픈 영역내에 샘플링 클럭의 라이징 에지가 1개 존재하는 것을 의미하므로, 복원 데이터에 에러가 발생할 가능성이 있다. 따라서, 이 때는 도 11b에 도시된 것과 같이, 상기 아이 오픈 영역내에 상기 샘플링 클럭의 라이징 에지가 복수개 존재하도록 하기 위해, 상기 샘플링 클럭이 상기 제2 그룹 클럭 신호(CLKEVEN)로 변경될 필요가 있다. 도 11a 및 도 11b에서는 상기 제1 그룹 클럭 신호(CLKODD)에서 상기 제2 그룹 클럭 신호(CLKEVEN)로 변경되는 경우가 도시되어 있지만, 상기 아이 오픈 영역내에 존재하는 상기 샘플링 클럭의 라이징 에지 개수에 따라 그 반대로 변경될 수도 있다.

<96>       다음으로, 상기와 같이 구성된 본 발명에 의한 데이터 복원장치의 동작을 도 4 및 도 13을 참고하여 설명하면 다음과 같다.

<97>       도 12는 도 4에 도시된 데이터 복원장치의 주요 입출력 신호들의 타이밍도이고, 도 13은 본 발명의 일실시예에 따른 고속 직렬 링크의 직렬 데이터 통신을 위한 데이터 복원장치의 데이터 복원 과정을 나타내는 흐름도이다.

<98>       본 발명에 의한 데이터 복원 장치의 동작 과정을 설명하기에 앞서, 설명의 편의상, 초기 조건으로 제1 내지 제3 샘플링 클럭 신호들(CKOD1~CKOD3)을 포함하는 제1 그룹 클

럭 신호(CLKODD)가 설정된 것으로 가정한다. 또, 상기 제1 샘플링 클럭 신호(CKOD1)의 라이징 에지와 상기 제2 샘플링 클럭 신호(CKOD2)의 라이징 에지 사이의 간격을 제1 클럭 구간이라 한다. 상기 제2 샘플링 클럭 신호(CKOD2)의 라이징 에지와 상기 제3 샘플링 클럭 신호(CKOD3)의 라이징 에지 사이의 간격을 제2 클럭 구간이라 하고, 상기 제3 샘플링 클럭 신호(CKOD3)의 라이징 에지와 상기 제1 샘플링 클럭 신호(CKOD1)의 라이징 에지 사이의 간격을 제3 클럭 구간이라 한다.

<99> 먼저, 도 13과 같이, 위상 락 검출 신호(DET)가 인에이블 되면(1001), 직렬 데이터(SI\_DATA)로부터 복수의 샘플링 데이터(SDATA1~SDATA3)를 추출한다(1002). 여기서, 상기 단계(1002)는 오버 샘플러(400)에 의해 실행된다. 상기 오버 샘플러(400)는 도 12에 도시된 것과 같이, 초기 조건으로 설정된 상기 제1 내지 상기 제3 샘플링 클럭(CKOD1~CKOD3)에 응답하여 상기 직렬 데이터(SI\_DATA)를 소정 간격으로 래치하여 제1 내지 제3 샘플링 데이터(SDATA1~SDATA3)를 출력한다.

<100> 이 후, CDR(500)의 트랜지션 검출부(510)에 의해 상기 샘플링 데이터(SDATA1~SDATA3)로부터 상기 제1 내지 상기 제3 클럭 구간별로 트랜지션의 발생 여부가 검출된다. 여기에서, 상기 트랜지션 검출기(510)는 입력되는 상기 샘플링 데이터들(SDATA1(N)~SDATA3(N), SDATA3(N-1))을 논리 연산하여, 제1 내지 제3 내부신호(OPD1~OPD3)를 출력한다. 상기 제1 내지 상기 제3 내부신호(OPD1~OPD3)에 따라 상기 제1 내지 상기 제3 클럭 구간에서 트랜지션이 발생되는지의 여부가 판단된다. 예를 들면, 상기 제1 내부신호(OPD1)가 "1"일 경우, 상기 제1 클럭 구간에서 트랜지션이 발생된 것을 나타내고, "0"일 경우 트랜지션이 발생되지 않은 것을 나타낸다.

- <101>       상기 제2 내부신호(OPD2)와 상기 제3 내부신호(OPD3)도 상기 제1 내부신호(OPD1)와 마찬가지로 각각 상기 제2 및 상기 제3 클럭 구간에서 트랜지션의 발생 여부를 나타낸다.
- <102>       또, 상기 CDR(500)의 가산기(520)는 상기 제1 내지 상기 제3 클럭 구간들별 트랜지션의 발생 횟수를 카운팅하고, 그 카운팅 값을 누적시킨다(1003). 좀 더 상세히 설명하면, 상기 가산기(520)는 상기 제1 내지 상기 제3 내부신호(OPD1~OPD3)가 "1"일 때마다 카운팅하고, 그 카운팅 값을 누적시킨다.
- <103>       이 후, 상기 가산기(520)는 각 클럭 구간별로 누적된 카운팅 값들을 비교하여, 트랜지션이 가장 많이 발생된 클럭 구간, 즉, 트랜지션 구간을 나타내는 카운팅 신호(CNT1~CNT3)를 출력한다(1004).
- <104>       다음으로, 클럭 선택부(550)는 상기 카운팅 신호(CNT1~CNT3)를 감시하여 상기 제1 내지 상기 제3 클럭 구간들이 모두 상기 트랜지션 구간으로 되는지의 여부를 판단한다(1005).
- <105>       상기 단계(1005)에서, 상기 제1 내지 상기 제3 클럭 구간들이 모두 상기 트랜지션 구간으로 되는 경우, 샘플링 클럭 신호를 제2 그룹 클럭 신호(CLKEVEN)의 제4 내지 제6 샘플링 클럭 신호들(CKEV1~CKEV3)로 변경한다(1006). 여기에서, 상기 모든 클럭 구간들이 상기 트랜지션 구간으로 된다는 것은 직렬 데이터의 아이 오픈 영역내에 샘플링 클럭의 라이지 에지가 하나 존재한다는 것을 나타낸다. 이 후, 상기 단계(1002)로 리턴하여 상기 과정들을 반복 수행한다.

- <106>        또, 상기 단계(1005)에서, 모든 클럭 구간이 트랜지션 구간으로 되지 않는 경우, 상기 트랜지션 구간에서 가장 멀리 떨어진 샘플링 데이터를 유효 데이터로서 출력한다 (1007). 이 후, 상기 단계(1002)로 리턴하여 상기 과정들을 반복 수행한다.
- <107>        여기에서, 상기 단계(1006)와 같이, 샘플링 클럭이 변경되는 경우, 변경된 시점으로부터 상기 변경된 샘플링 클럭에 의해 래치된 샘플링 데이터가 입력될 때까지는 소정 시간이 걸린다.
- <108>        상기 소정 시간 동안, 상기 단계(1007)에서의 유효 데이터 출력은 예외적으로 수행된다. 예를 들어, 상기 샘플링 클럭 신호가 상기 제2 그룹 클럭 신호(CLKEVEN)로 변경될 때, 아이 오픈 영역내의 존재하는 두 개의 샘플링 클럭의 라이징 에지 중에서 우측 클럭에 의해 래치된 데이터를 유효 데이터로서 출력한다. 또, 상기 샘플링 클럭 신호가 상기 제1 그룹 클럭 신호(CLKODD)로 변경될 때, 아이 오픈 영역내의 존재하는 두 개의 샘플링 클럭의 라이징 에지 중에서 좌측 클럭에 의해 래치된 데이터를 유효 데이터로서 출력한다.
- <109>        본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.



**【발명의 효과】**

<110>       상기한 것과 같이, 본 발명에 의한 데이터 복원장치 및 그 복원방법은 직렬 데이터의 아이 오픈 영역내에서 샘플링 클럭 신호의 에지가 복수개 존재하도록 샘플링 클럭 신호를 발생하여, 데이터 복원시 에러 발생을 감소시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

고속 직렬 링크를 통하여 수신되는 직렬 데이터를 병렬 데이터로 복원하는 장치에 있어서,

서로 다른 위상을 가지는 제1 그룹 클럭신호와 제2 그룹 클럭신호를 포함하는 적어도 두 개의 그룹 클럭신호들을 발생하는 클럭 발생 회로; 및

상기 직렬 데이터의 아이 오픈 영역내에 존재하는 상기 그룹 클럭신호들의 라이징 에지의 개수에 따라 상기 두 개의 그룹 클럭신호들 중 어느 하나를 선택적으로 사용하여, 상기 직렬 데이터를 상기 병렬 데이터로 복원하는 데이터 복원회로를 포함하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원 장치.

**【청구항 2】**

제1항에 있어서, 상기 데이터 복원회로는,

소정의 클럭 선택 신호에 응답하여, 상기 제1 그룹 클럭신호와 상기 제2 그룹 클럭신호를 포함하는 상기 적어도 두 개의 그룹 클럭신호들 중 어느 하나를 출력하는 클럭 선택 회로;

상기 클럭 선택 회로로부터 출력되는 상기 그룹 클럭신호에 응답하여 상기 직렬 데이터를 소정 간격으로 래치하고, 복수의 샘플링 데이터들을 출력하는 오버 샘플러; 및

상기 복수의 샘플링 데이터들에 응답하여 상기 클럭 선택 신호를 출력하고, 상기 복수의 샘플링 데이터들 중에서 하나의 유효 데이터를 검출하고, 복수의 상기 유효 데이

터들을 포함하는 상기 병렬 데이터를 출력하는 CDR을 포함하는 상기 클럭 선택 신호를 출력하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

### 【청구항 3】

제2항에 있어서, 상기 클럭 발생 회로는,  
소정의 기준 클럭 신호에 응답하여 상기 제1 그룹 클럭신호를 발생하는 PLL; 및  
상기 제1 그룹 클럭신호에 응답하여 상기 제2 그룹 클럭신호를 발생하는 서브 클럭 발생회로를 포함하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

### 【청구항 4】

제3항에 있어서,  
상기 제1 그룹 클럭신호는 다중 위상을 가지는 적어도 제1 내지 제3 샘플링 클럭 신호들을 포함하는 복수의 샘플링 클럭신호들을 포함하고,  
상기 제2 그룹 클럭신호는 다중 위상을 가지는 적어도 제4 내지 제6 샘플링 클럭신호들을 포함하는 복수의 샘플링 클럭신호들을 포함하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

### 【청구항 5】

제4항에 있어서,  
상기 PLL은 인접한 상기 샘플링 클럭신호들의 라이징 에지들간의 간격이 동일하도록 상기 제1 내지 상기 제3 샘플링 클럭신호들을 발생하고,

상기 서브 클럭 발생회로는 인접한 상기 샘플링 클럭신호들의 라이징 에지들간의 간격이 동일하도록 상기 제4 내지 상기 제6 샘플링 클럭신호들을 발생하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

#### 【청구항 6】

제4항에 있어서, 상기 서브 클럭 발생회로는,

상기 제1 및 상기 제2 샘플링 클럭신호에 응답하여 상기 제4 샘플링 클럭신호를 발생하는 제1 서브 클럭 발생회로;

상기 제2 및 상기 제3 샘플링 클럭신호에 응답하여 상기 제5 샘플링 클럭신호를 발생하는 제2 서브 클럭 발생회로; 및

상기 제1 및 상기 제3 샘플링 클럭신호에 응답하여 상기 제5 샘플링 클럭신호를 발생하는 제3 서브 클럭 발생회로를 포함하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

#### 【청구항 7】

제6항에 있어서, 상기 제1 내지 상기 제3 서브 클럭 발생회로는,

인터폴레이터인 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

#### 【청구항 8】

제6항에 있어서,

상기 제4 샘플링 클럭신호의 라이징 에지는 상기 제1 샘플링 클럭신호의 라이징 에지와 상기 제2 샘플링 클럭신호의 라이징 에지 사이에 위치하고,

상기 제5 샘플링 클럭신호의 라이징 에지는 상기 제2 샘플링 클럭신호의 라이징 에지와 상기 제3 샘플링 클럭신호의 라이징 에지 사이에 위치하고,

상기 제6 샘플링 클럭신호의 라이징 에지는 상기 제3 샘플링 클럭신호의 라이징 에지와 상기 제1 샘플링 클럭신호의 라이징 에지 사이에 위치하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

**【청구항 9】**

제4항에 있어서, 상기 클럭 선택 회로는,

상기 제1 그룹 클럭신호와 상기 제2 그룹 클럭신호를 수신하고, 상기 클럭 선택 신호에 응답하여, 상기 제1 그룹 클럭신호와 상기 제2 그룹 클럭신호 중 어느 하나를 출력하는 복수의 멀티플렉서들을 포함하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

**【청구항 10】**

제2항에 있어서,

상기 클럭 선택 회로로부터 출력되는 상기 그룹 클럭신호는 각각의 라이징 에지들 간의 간격들로 형성되는 복수의 클럭 구간들을 가지는 복수의 샘플링 클럭신호들을 포함하고,

상기 CDR은,

상기 복수의 샘플링 데이터들에 응답하여, 상기 복수의 클럭 구간들에서 트랜지션의 발생 유무를 나타내는 복수의 내부신호들을 출력하는 트랜지션 검출부;

상기 복수의 내부신호들에 응답하여 상기 복수의 클럭 구간들별로 상기 트랜지션의 발생 횟수를 카운팅하고, 그 카운팅 값들을 소정 시간 동안 각각 누적시키고, 누적된 상기 카운팅 값들을 비교하여, 소정의 카운팅 신호를 출력하는 가산기;

상기 카운팅 신호에 응답하여, 소정의 데이터 선택신호를 출력하는 데이터 선택부 ;

상기 데이터 선택신호에 응답하여, 상기 복수의 샘플링 데이터들 중 어느 하나를 출력하는 데이터 출력부; 및

상기 카운팅 신호에 응답하여, 상기 클럭 선택신호를 출력하는 클럭 선택부를 포함하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

#### 【청구항 11】

제10항에 있어서,

상기 카운팅 신호는 누적된 상기 카운팅 값이 가장 큰 클럭 구간(이하, 트랜지션 구간이라 함)을 나타내며,

상기 데이터 출력부는 상기 데이터 선택신호에 응답하여, 상기 트랜지션 구간으로부터 가장 멀리 떨어진 상기 샘플링 클럭신호에 의해 래치되는 상기 샘플링 데이터를 상기 유효 데이터로서 출력하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

#### 【청구항 12】

제11항에 있어서, 상기 클럭 선택회로는,

상기 클럭 선택신호에 응답하여, 상기 제1 그룹 클럭신호와 상기 제2 그룹 클럭신호를 포함하는 상기 적어도 두 개의 그룹 클럭신호들 중에서, 상기 복수의 샘플링 클럭신호들의 에지가 상기 직렬 데이터의 아이 오픈 영역내에서 복수개 존재하는 상기 그룹 클럭신호를 선택하여 출력하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

#### 【청구항 13】

제12항에 있어서, 상기 클럭 선택부는,

상기 카운팅 신호를 감시하여, 상기 복수의 클럭 구간들이 모두 상기 트랜지션 구간으로 될 때, 상기 클럭 선택회로가 상기 오버 샘플러에 공급되는 상기 그룹 클럭신호를 변경하도록 제어하는 상기 클럭 선택신호를 출력하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

#### 【청구항 14】

서로 다른 위상을 가지는 제1 그룹 클럭신호와 제2 그룹 클럭신호를 포함하는 적어도 두 개의 그룹 클럭신호들을 발생하는 클럭 발생 회로와, 상기 직렬 데이터의 아이 오픈 영역내에 존재하는 상기 그룹 클럭신호들의 라이징 에지의 개수에 따라 상기 두 개의 그룹 클럭신호들 중 어느 하나를 선택적으로 사용하여, 상기 직렬 데이터를 상기 병렬 데이터로 복원하는 데이터 복원회로를 구비하고, 상기 적어도 두 개의 그룹 클럭신호들이 각각의 라이징 에지들간의 간격들로 형성되는 복수의 클럭 구간들을 가지는 복수의 샘플링 클럭신호들을 포함하는 데이터 복원 장치의 복원 방법에 있어서,

(a) 상기 직렬 데이터로부터 복수의 샘플링 데이터들을 추출하는 단계;

(b) 상기 복수의 샘플링 데이터들로부터 상기 복수의 클럭 구간들별 트랜지션 발생 횟수를 카운팅하고, 그 카운팅 값을 누적시키는 단계;

(c) 누적된 상기 카운팅 값을 비교하고, 누적된 상기 카운팅 값이 가장 큰 클럭 구간(이하, 트랜지션 구간이라 함)을 나타내는 카운팅 신호를 출력하는 단계;

(d) 상기 복수의 샘플링 데이터들 중에서, 상기 트랜지션 구간으로부터 가장 멀리 떨어진 상기 샘플링 클럭신호에 의해 래치되는 상기 샘플링 데이터를 유효 데이터로서 출력하는 단계;

(e) 상기 카운팅 신호를 감시하여 상기 복수의 클럭 구간들 모두가 상기 트랜지션 구간으로 될 때, 상기 그룹 클럭신호를 변경하는 단계; 및

(f) 상기 (a) 단계 내지 상기 (e) 단계를 반복 수행하는 단계를 포함하는 것을 특징으로 하는 데이터 복원 방법.

#### 【청구항 15】

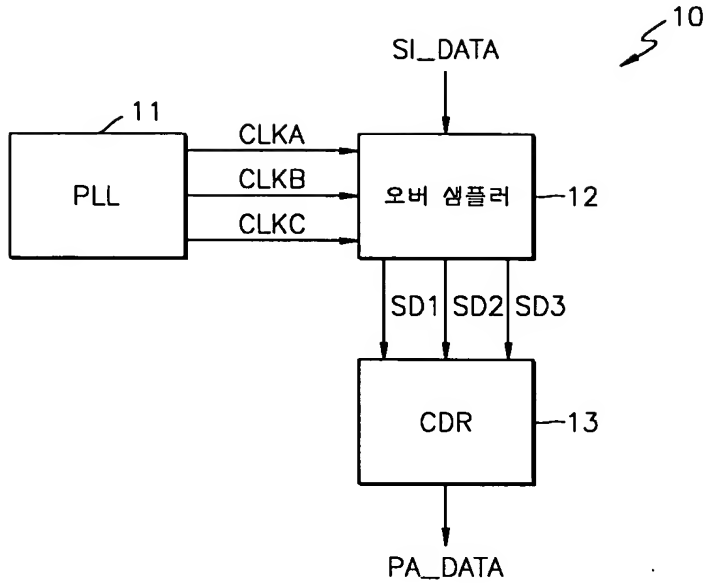
제13항에 있어서, 상기 (e) 단계는,

상기 적어도 두 개의 그룹 클럭신호들 중에서, 상기 복수의 샘플링 클럭신호들의 에지가 상기 직렬 데이터의 아이 오픈 영역내에서 복수개 존재하는 상기 그룹 클럭신호로 변경하는 것을 특징으로 하는 고속 직렬 링크에서 데이터 복원시 에러 발생을 감소시키는 데이터 복원장치.

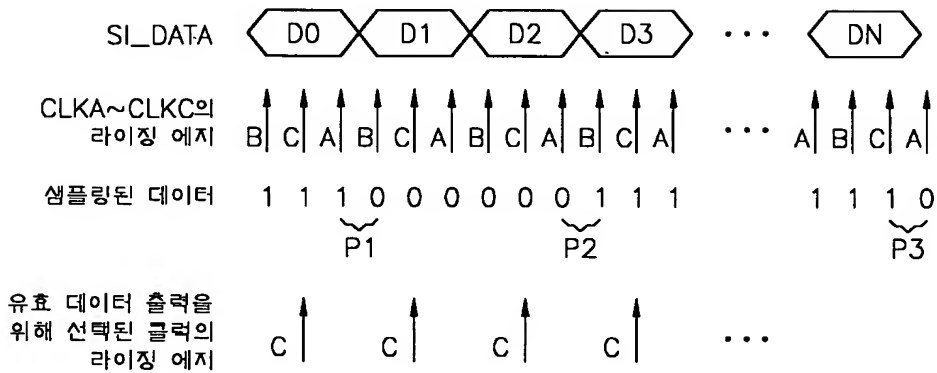


【도면】

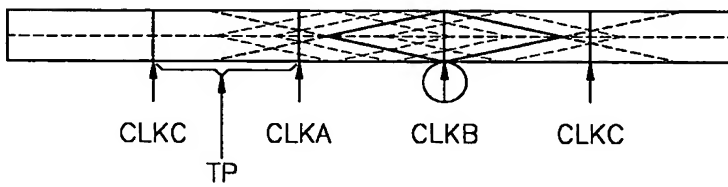
【도 1】



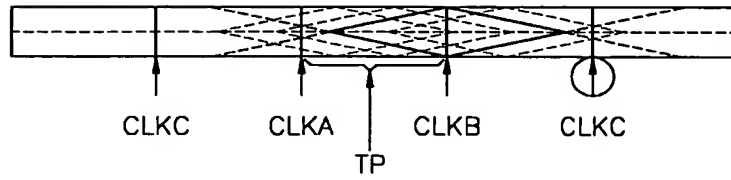
【도 2】



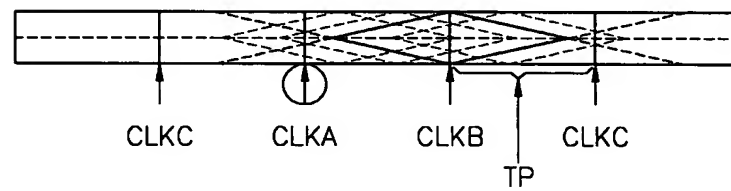
【도 3a】



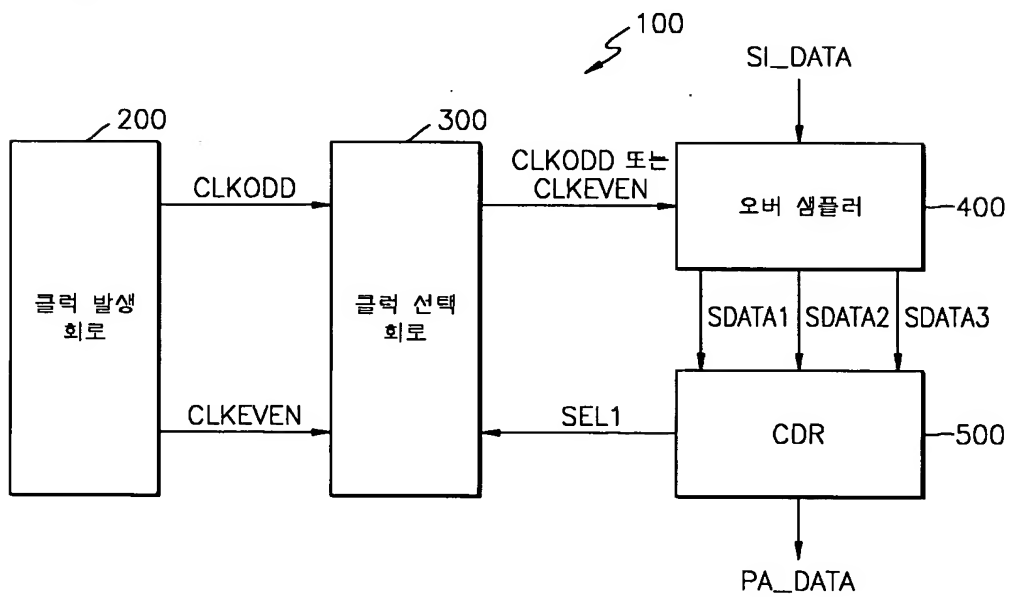
【도 3b】



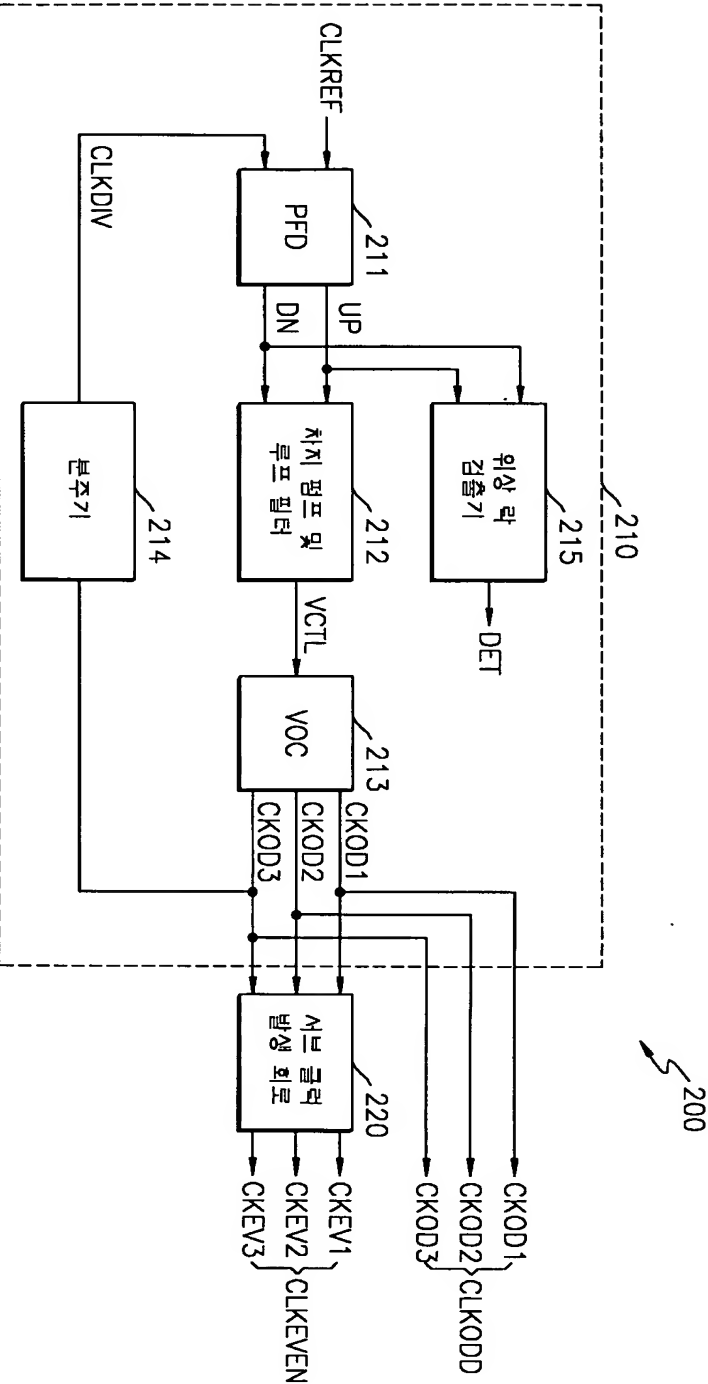
【도 3c】



【도 4】

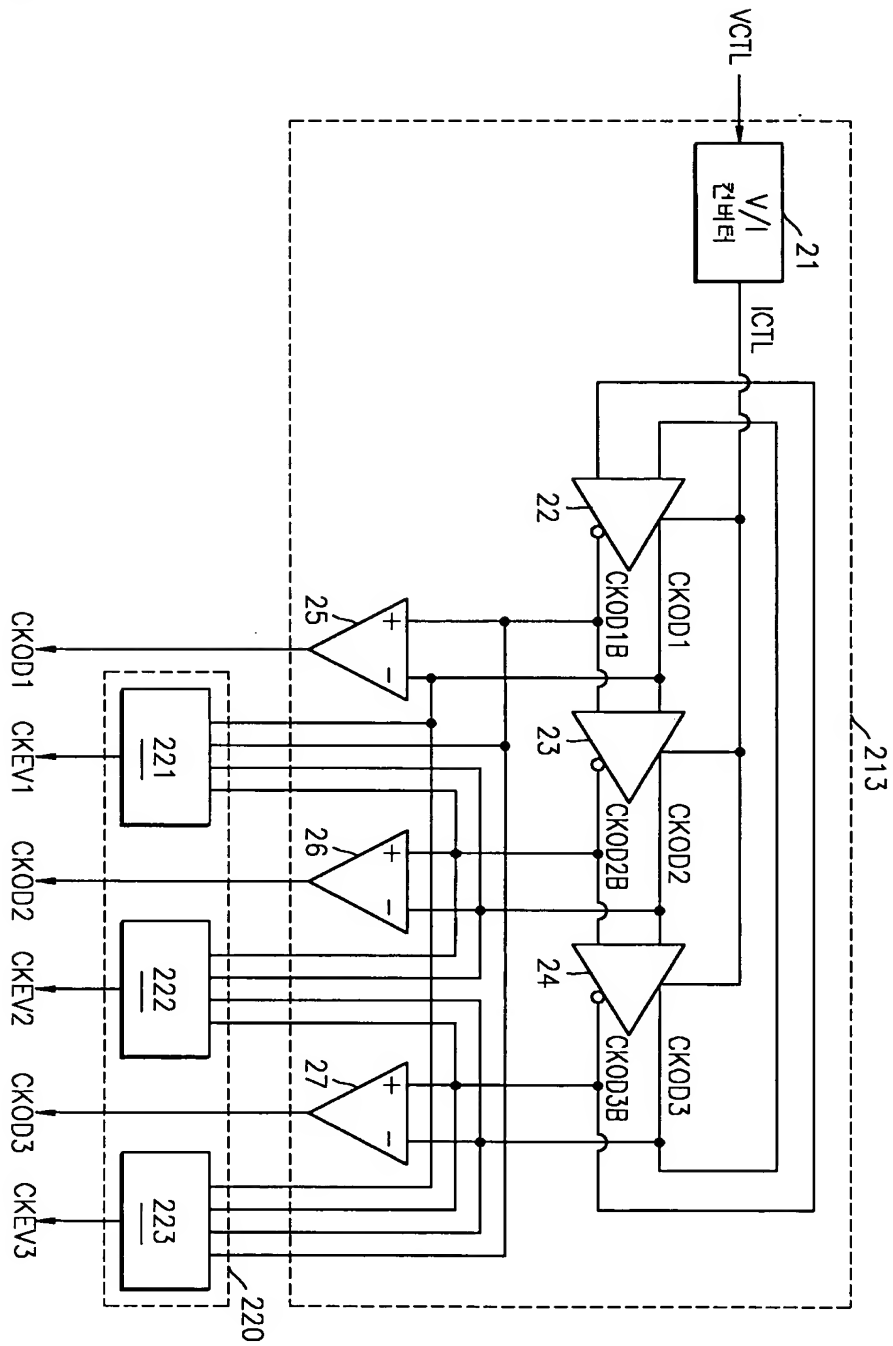


【도 5】

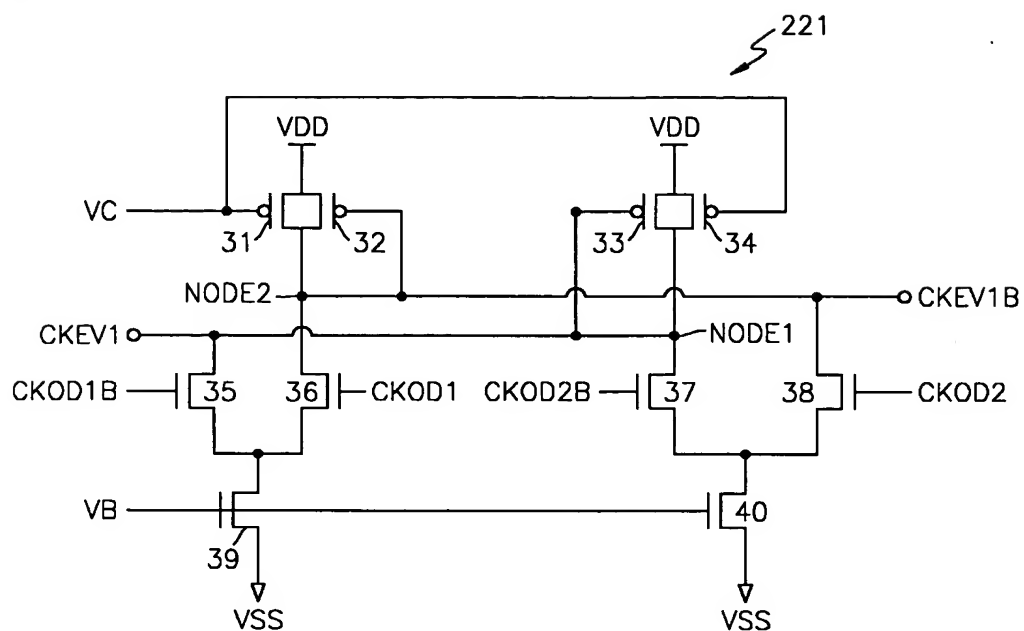




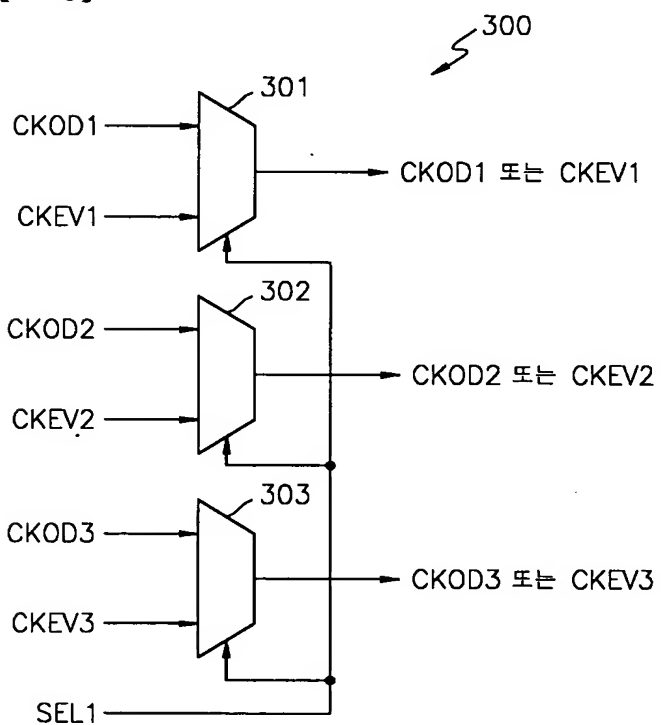
【도 6】



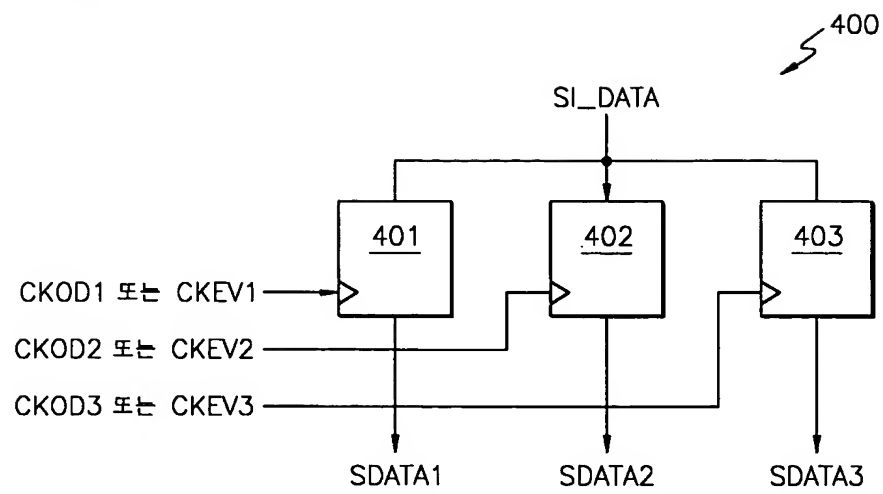
【도 7】



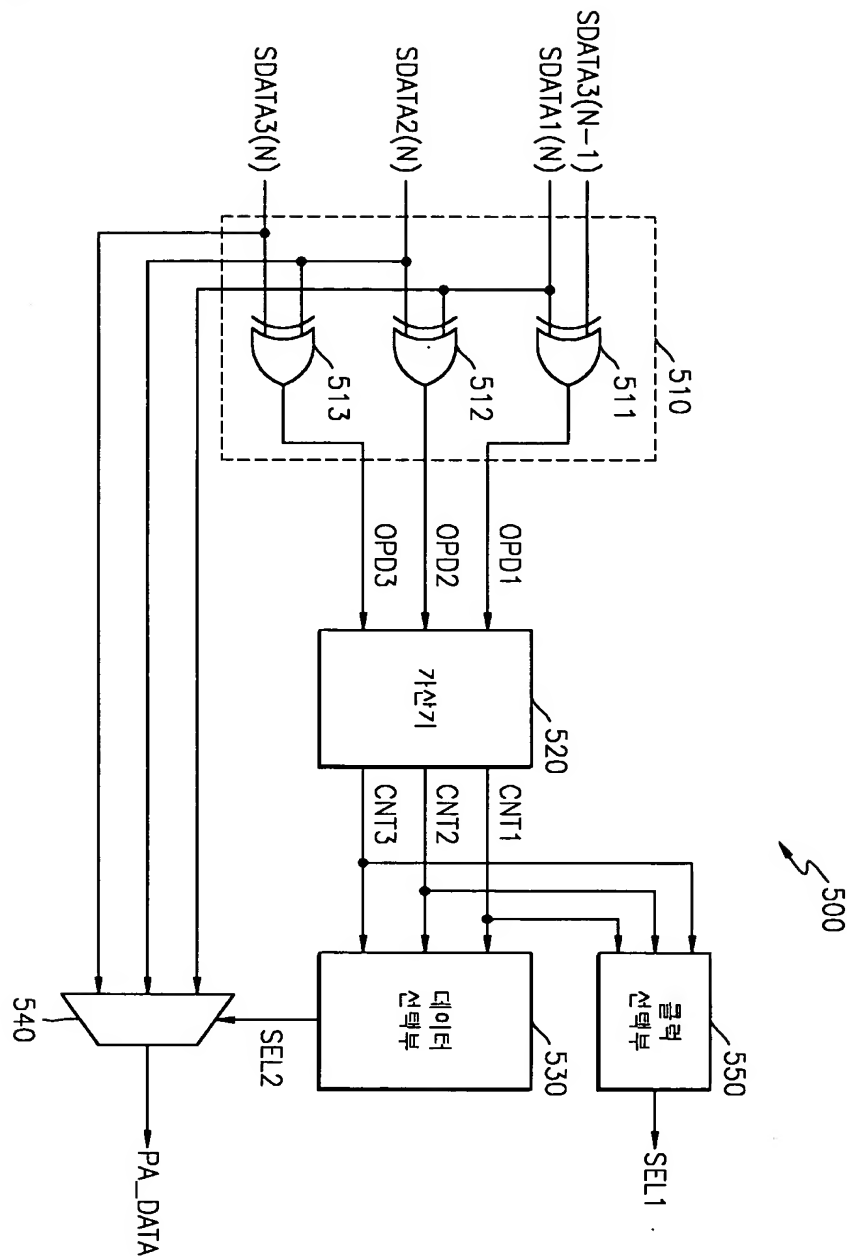
【도 8】



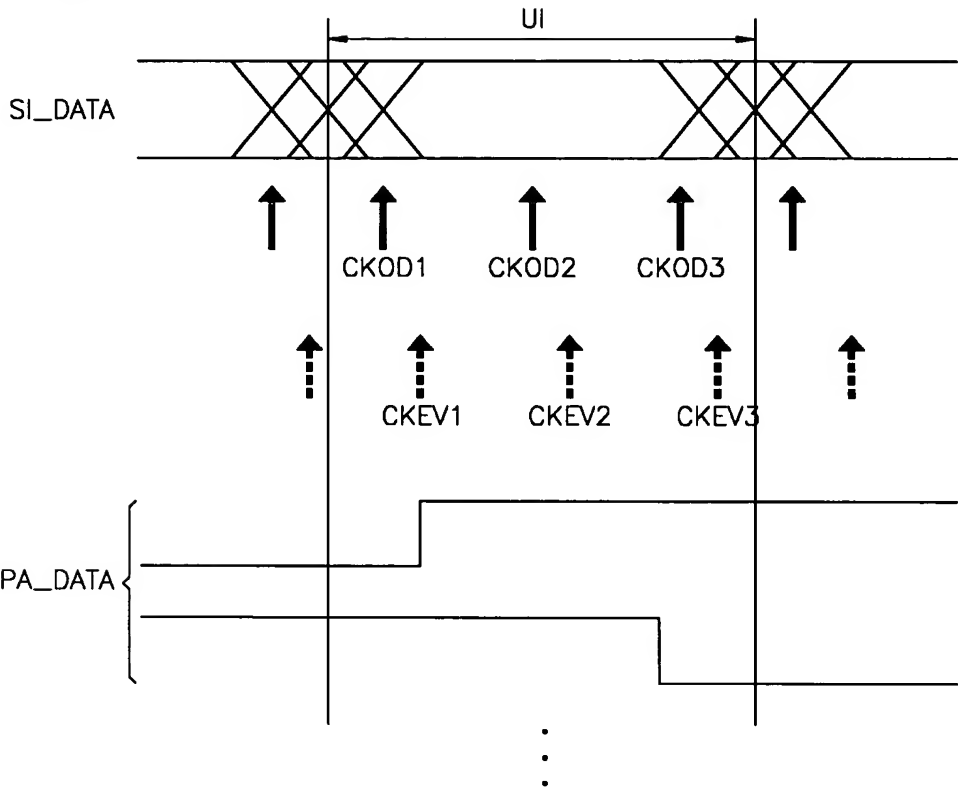
【도 9】



【도 10】



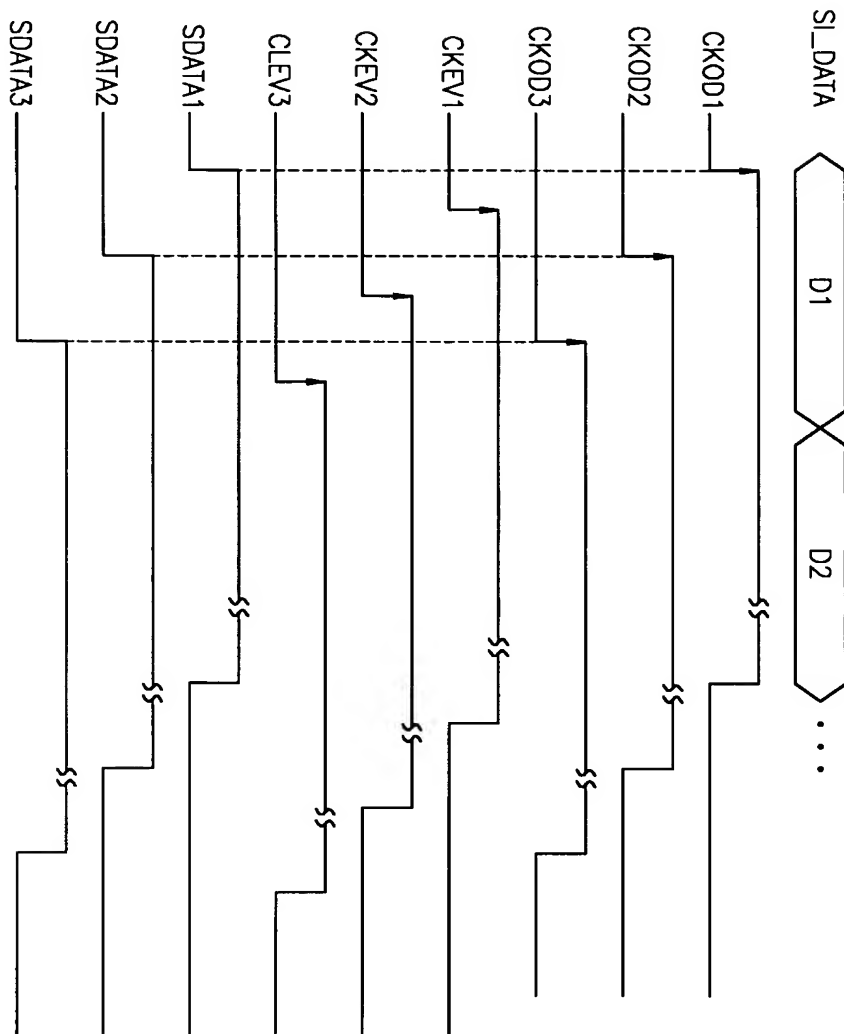
【도 11a】





The diagram shows the timing relationship between several signals. At the top, a horizontal line represents the clock period, with a double-headed arrow labeled 'UI' indicating the duration of one unit interval. Below this, the 'SI\_DATA' signal is shown as a bus with two horizontal lines. The data is transmitted in bursts, with the first burst occurring during the first UI and the second burst occurring during the third UI. The 'PA\_DATA' signal is shown as a bus with two horizontal lines, with a bracket indicating its width. It transitions from a low state to a high state at the start of the first UI and back to low at the start of the third UI. The 'CKOD' signal is shown as a series of upward arrows. The first three arrows are labeled 'CKOD1', 'CKOD2', and 'CKOD3'. The 'CKEV' signal is shown as a series of upward arrows. The first three arrows are labeled 'CKEV1', 'CKEV2', and 'CKEV3'. The diagram illustrates that the data is transmitted during the first and third UIs, and the clock signals are active during the first and third UIs.

【 12】



【도 13】

